

US

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月29日  
Date of Application:

出願番号 特願2002-249945  
Application Number:

[ST. 10/C] : [JP2002-249945]

出願人 エルピーダメモリ株式会社  
Applicant(s):

2003年 7月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 22310239

【提出日】 平成14年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/00

【発明者】

【住所又は居所】 東京都中央区八重洲 2-2-1

エルピーダメモリ株式会社内

【氏名】 鈴木 三佐男

【発明者】

【住所又は居所】 東京都中央区八重洲 2-2-1

エルピーダメモリ株式会社内

【氏名】 宮野 和孝

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100096105

【弁理士】

【氏名又は名称】 天野 広

【電話番号】 03(5484)2241

【手数料の表示】

【予納台帳番号】 038830

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0118446

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デューティ比検知回路

【特許請求の範囲】

【請求項 1】 省電流状態を持つ半導体装置におけるデューティ比を二つの節点の間の差電位として検知するデューティ比検知回路において、

前記二つの節点に接続され、前記二つの節点に流す電流を分配する電流分配部と、

デューティ比を保持するデューティ比保持部と、  
を備え、

前記デューティ比保持部に保持されているデューティ比を用いて前記電流分配部の作動を制御することを特徴とするデューティ比検知回路。

【請求項 2】 ゲートを介して二つの入力信号を受信する二つの第一トランジスタと、前記二つの第一トランジスタのドレイン及びソースの何れか一方に接続されている定電流源と、前記二つの第一トランジスタのドレイン及びソースの他方に接続されている複数個の第二トランジスタからなる電流分配部と、を備える検出回路と、

前記検出回路から出力されるデューティ比を保持する保持回路と、  
前記検出回路と前記保持回路との間に接続されているスイッチと、  
を備えるデューティ比検知回路において、

前記電流分配部を構成する前記第二トランジスタのゲートは前記スイッチと前記保持回路との間の節点に接続されていることを特徴とするデューティ比検知回路。

【請求項 3】 前記第一トランジスタはNチャネル型トランジスタであり、  
前記第二トランジスタはPチャネル型トランジスタであることを特徴とする請求項2に記載のデューティ比検知回路。

【請求項 4】 前記第一トランジスタはPチャネル型トランジスタであり、  
前記第二トランジスタはNチャネル型トランジスタであることを特徴とする請求項2に記載のデューティ比検知回路。

【請求項 5】 デューティ比を検知するデューティ比検知回路と、

前記デューティ比検知回路が出力したデューティ比を受信し、前記デューティ比を変化させるデューティ比調整回路と、

前記デューティ比調整回路から出力される出力信号を受信し、この出力信号を二つの差分化信号に変換し、これら二つの差分化信号を前記デューティ比検知回路に送信するディファレンシャル化回路と、

からなるデューティ比補正回路であって、

前記デューティ比検知回路は、

ゲートを介して二つの入力信号を受信する二つの第一トランジスタと、前記二つの第一トランジスタのドレイン及びソースの何れか一方に接続されている定電流源と、前記二つの第一トランジスタのドレイン及びソースの他方に接続されている複数個の第二トランジスタからなる電流分配部と、を備える検出回路と、

前記検出回路から出力されるデューティ比を保持する保持回路と、

前記検出回路と前記保持回路との間に接続されているスイッチと、

を備えるものであるデューティ比補正回路において、

前記電流分配部を構成する前記第二トランジスタのゲートは前記スイッチと前記保持回路との間の節点に接続されていることを特徴とするデューティ比補正回路。

**【請求項6】** 前記第一トランジスタはNチャネル型トランジスタであり、前記第二トランジスタはPチャネル型トランジスタであることを特徴とする請求項5に記載のデューティ比補正回路。

**【請求項7】** 前記第一トランジスタはPチャネル型トランジスタであり、前記第二トランジスタはNチャネル型トランジスタであることを特徴とする請求項5に記載のデューティ比補正回路。

### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置内におけるデューティ比（duty ratio）を検知するデューティ比検知回路及び検知したデューティ比を補正するデューティ比補正回路に関する。

## 【0002】

### 【従来の技術】

DRAMの高速化が進むにつれて、データを外部クロック信号CLKの立ち上がり時と立ち下がり時に出力するDDRが主流となりつつある。DRAMのさらなる高速化を達成するためには、デバイス内で外部クロック信号CLKのH幅（高さ）とL幅（横幅）の割合を示すデューティ比を検知するデューティ比検知回路と、検知したデューティ比を補正するデューティ比補正回路が必要である。

## 【0003】

また、メモリの高速化が進むにつれて、デバイス内のクロック遅延がデバイス特性を制限するという現象が現れてきた。このような現象に対しては、一般的には、出力回路の遅延をキャンセルするクロック同期化回路（DLL, PLL）が使用されている。

## 【0004】

上述のデューティ比検知回路及びクロック同期化回路は常に動作しており、このため、アクセスがない場合においても常に電流を消費している。さらに、ファードバック回路が多いため、デューティ比検知回路及びクロック同期化回路が定常状態に移行するためにはある程度の時間がかかることが多い。

## 【0005】

デューティ比検知回路及びクロック同期化回路における電流削減を図るため、あるいは、これらの回路が定常状態となるまでの時間を短縮するため、アクセスがない期間はデューティ比及びクロックの遅延量を内部で保持する試行がなされている。

## 【0006】

ただし、電流削減状態から定常状態までの復帰時間は短い方がいいため、内部に保持されたデューティ比を短時間のうちに内部クロック信号に反映し、定常状態に移行することが課題となっている。

## 【0007】

図4は従来のデューティ比補正回路10のブロック図である。

## 【0008】

デューティ比補正回路10は、デューティ比を変化させる調整回路11と、デューティ比を検知する検知回路12と、ディファレンシャル化回路13と、から構成されている。

#### 【0009】

調整回路11は、クロック信号CLKin14を入力し、クロック信号CLKout15を出力する。ディファレンシャル化回路13は、調整回路11から出力されるクロック信号CLKout15を入力し、クロック信号CLKout15を二つの信号True16、bar17に変換する。

#### 【0010】

二つの信号True16、bar17は検知回路12に入力され、検知回路12はこの二つの信号True16、bar17に基づいて、デューティ比を検出する。

#### 【0011】

検知回路12は、検出したデューティ比を示す検知信号18を調整回路11にフィードバックする。調整回路11は検知回路12から送信されてきたデューティ比を補正する。

#### 【0012】

図5は、図4に示したデューティ比補正回路10における検知回路12の構造を示す回路図である。

#### 【0013】

検知回路12は、デューティ比検知部21と、デューティ比保持部22と、スイッチ23と、から構成されている。

#### 【0014】

デューティ比検知部21は、一対のNチャネル型トランジスタ24a、24bと、入力側においてNチャネル型トランジスタ24a、24bの各ソースと接続し、出力側において接地されている定電流源25と、4個のPチャネル型トランジスタ26a、26b、26c、26dからなる電流分配部26と、から構成されている。

#### 【0015】

Nチャネル型トランジスタ24aのドレイン、Pチャネル型トランジスタ26aのゲート及びドレイン、Pチャネル型トランジスタ26bのドレイン並びにPチャネル型トランジスタ26cのゲートは節点Aに接続されている。

#### 【0016】

Nチャネル型トランジスタ24bのドレイン、Pチャネル型トランジスタ26bのゲート、Pチャネル型トランジスタ26cのドレイン並びにPチャネル型トランジスタ26dのゲート及びドレインは節点Bに接続されている。

#### 【0017】

このように、節点A及びBには同じサイズのトランジスタが接続される。

#### 【0018】

ディファレンシャル化回路13から出力される信号True16はNチャネル型トランジスタ24aのゲートに入力され、ディファレンシャル化回路13から出力される信号bar17はNチャネル型トランジスタ24bのゲートに入力される。すなわち、信号True16、bar17がゲートに入力されることにより、Nチャネル型トランジスタ24a、24bは節点A及び節点Bにおける電流をグラウンドに引くスイッチの役割を果たす。

#### 【0019】

デューティ比保持部22はそれぞれNチャネル型トランジスタからなる二つの保持容量22A、22Bから構成されており、保持容量22Aはスイッチ23を介して節点Aに接続されており、保持容量22Bはスイッチ23を介して節点Bに接続されている。

#### 【0020】

Nチャネル型トランジスタ24a、24bの各ソースはともに定電流源25に接続されており、このため、Nチャネル型トランジスタ24a、24bには常に一定の電流が流れている。

#### 【0021】

4個のPチャネル型トランジスタ26a、26b、26c、26dの能力が同じである場合、節点Aに流れる電流量と節点Bに流れる電流量とは節点A及びBの電位によらず同じとなる。

**【0022】**

デューティ比検知部21は節点A、B及びスイッチ23を介して、検出したデューティ比を示す検知信号18を発する。

**【0023】**

検知回路12の内部動作が停止する場合には、スイッチ23が閉じて、検知信号18により示されるデューティ比がデューティ比保持部22に保持される。

**【0024】**

スイッチ23は、例えば、トランスマルチプルから構成することが可能である。

**【0025】**

以下、図5に示した検知回路12の動作について説明する。

**【0026】**

調整回路11の出力信号CLKout15はディファレンシャル化回路13に入力され、ディファレンシャル化回路13は出力信号CLKout15をディファレンシャルな二つの信号true16とbar17に変換する。この変換に際しては、二つの信号true16とbar17は、出力信号CLKout15のデューティ比と、二つの信号true16とbar17のクロスポイント(cross point)で作られるデューティ比とが一致するようにディファレンシャル化される。

**【0027】**

ディファレンシャル化された二つの信号true16とbar17は検知回路12におけるNチャネル型トランジスタ24a、24bのゲートにそれぞれ入力される。この結果、信号true16がハイ(H)状態にある間の期間中においては、節点Aの電位が下がり、信号bar17がハイ(H)状態にある間の期間中においては、節点Bの電位が下がる。

**【0028】****【発明が解決しようとする課題】**

ここで、調整回路11の入力信号CLKin14のデューティ比が60%である場合を例にとって説明する。

**【0029】**

入力信号CLKin14のデューティ比が60%である場合、調整回路11が入力信号CLKin14に対して何の処理も行わなければ、調整回路11からの出力信号CLKout15のデューティ比も60%になる。

#### 【0030】

ディファレンシャル化回路13の出力信号true16のデューティ比は調整回路11への入力信号CLKin14のデューティ比と同じ60%に、出力信号bar17のデューティ比はそれとは逆の40%になるようにそれぞれ設計されているものとする。

#### 【0031】

出力信号true16がNチャネル型トランジスタ24aのゲートに入力されると、節点Aの電位が下がり、出力信号bar17がNチャネル型トランジスタ24bのゲートに入力されると、節点Bの電位が下がる。

#### 【0032】

しかしながら、出力信号true16のデューティ比は60%、bar17のデューティ比は40%であるため、節点Aの電位は節点Bの電位よりも低くなる。この結果、節点Aと節点Bとの間に差電位が生じる。この差電位は検知信号18として検知回路12から出力される。

#### 【0033】

図6は、省電流状態における節点A及びBの各電位を示す。

#### 【0034】

ディファレンシャル化回路13からの出力信号true16のデューティ比が60%、bar17のデューティ比が40%である場合、先に述べたように、節点Aにおける電位は節点Bにおける電位よりも低くなる。

#### 【0035】

省電流状態に入ると、スイッチ23が閉じ、その後に、定電流源25が停止し、電流消費をなくす。

#### 【0036】

この状態においては、調整回路11からの出力信号CLKout15の出力も停止しているが、出力信号CLKout15がハイ（H）の状態で停止するか、

あるいは、ロー（L）の状態で停止するかは省電流状態に入るタイミングで決まる。

#### 【0037】

ここで、出力信号CLKout15がロー（L）の状態で停止した場合を考える。

#### 【0038】

出力信号CLKout15がロー（L）の状態である場合には、ディファレンシャル化回路13からの出力信号true16はロー、bar17はハイの状態となる。

#### 【0039】

この時、デューティ比検知部21において、出力信号true16が入力されているNチャネル型トランジスタ24aはオフとなり、出力信号bar17が入力されているNチャネル型トランジスタ24bはオンとなるため、節点Aの電位は電源電圧Vccのレベルまで上昇する。

#### 【0040】

これに対して、節点Bの電位は [Vcc - Vtp] まで上昇する。ここに、VtpはPチャネル型トランジスタ26a-26dのしきい値電圧である。

#### 【0041】

定常状態においては、節点Aの電位が節点Bの電位よりも低かったが、省電流状態においては、節点Bの電位が節点Aの電位よりも低くなる。

#### 【0042】

これはデューティ比が50%以上（H幅がL幅よりも広い場合）である時に出力信号CLKout15がロー（L）の状態で停止した場合であるが、逆に、デューティ比が50%以下（L幅がH幅よりも広い場合）である時に出力信号CLKout15がハイ（H）の状態で停止した場合も生じる。

#### 【0043】

この後に検知回路12が省電流状態から定常状態に移行する場合に、節点A及び節点Bの各電位においてクロスが生じてしまう。節点A及びBにおける電位は、スイッチ23が開いた時点から、検知信号18として調整回路11に入力され

る。このため、節点Aの電位が節点Bの電位よりも高い期間が存在することに起因して、デューティ比が逆方向に補正され、定常状態への復帰時間 $T_\alpha$ が長くなる。

#### 【0044】

このように、従来の検知回路12ひいてはデューティ比補正回路10においては、デューティ比が安定しないため、省電流状態から定常状態への復帰時間 $T_\alpha$ が長くなり、動作保証ができないという問題点があった。

#### 【0045】

例えば、特開平11-225047号公報は、LSIから出力される信号のデューティ比を検出するデューティ比検出部と、検出されたデューティ比に応じてデューティを制御するデューティ制御部と、デューティ制御部からの指令により、LSIから出力される信号のデューティ比を調整するデューティ比調整部と、からなるデューティ比補正方式を提案している。

#### 【0046】

また、特開2002-135105号公報は、第1入力信号に応答して第1出力端をプルアップまたはプルダウンする第1出力ドライバーと、第1入力信号に応答してバイアス電圧を調整するバイアス回路と、第2入力信号に応答して第2出力端をプルアップまたはプルダウンする第2出力ドライバーと、バイアス電圧に応答して第1出力ドライバーと第2出力ドライバー及びバイアス回路に電流を流す電流源と、を備えるデューティサイクル検出回路を提案している。

#### 【0047】

しかしながら、これらの公報に提案されているデューティ比検知回路またはデューティ比補正回路においても、上述したような問題点は未解決のままである。

#### 【0048】

本発明は上記の問題点に鑑みてなされたものであり、迅速にデューティ比を補正し、省電流状態から定常状態への復帰時間を短縮することを可能にするデューティ比検知回路、並びに、そのデューティ比検知回路を備えるデューティ比補正回路を提供することを目的とする。

#### 【0049】

**【課題を解決するための手段】**

この目的を達成するため、本発明は、省電流状態を持つ半導体装置におけるデューティ比を二つの節点の間の差電位として検知するデューティ比検知回路において、前記二つの節点に接続され、前記二つの節点に流す電流を分配する電流分配部と、デューティ比を保持するデューティ比保持部と、を備え、前記デューティ比保持部に保持されているデューティ比を用いて前記電流分配部の作動を制御することを特徴とするデューティ比検知回路を提供する。

**【0050】**

また、本発明は、ゲートを介して二つの入力信号を受信する二つの第一トランジスタと、前記二つの第一トランジスタのドレイン及びソースの何れか一方に接続されている定電流源と、前記二つの第一トランジスタのドレイン及びソースの他方に接続されている複数個の第二トランジスタからなる電流分配部と、を備える検出回路と、前記検出回路から出力されるデューティ比を保持する保持回路と、前記検出回路と前記保持回路との間に接続されているスイッチと、を備えるデューティ比検知回路において、前記電流分配部を構成する前記第二トランジスタのゲートは前記スイッチと前記保持回路との間の節点に接続されていることを特徴とするデューティ比検知回路を提供する。

**【0051】**

例えば、前記第一トランジスタをNチャネル型トランジスタとし、前記第二トランジスタをPチャネル型トランジスタとすることができ、あるいは、前記第一トランジスタをPチャネル型トランジスタとし、前記第二トランジスタをNチャネル型トランジスタとすることができる。

**【0052】**

さらに、本発明は、デューティ比を検知するデューティ比検知回路と、前記デューティ比検知回路が出力したデューティ比を受信し、前記デューティ比を変化させるデューティ比調整回路と、前記デューティ比調整回路から出力される出力信号を受信し、この出力信号を二つの差分化信号に変換し、これら二つの差分化信号を前記デューティ比検知回路に送信するディファレンシャル化回路と、からなるデューティ比補正回路であって、前記デューティ比検知回路は上記の構造を

有するものであるデューティ比補正回路を提供する。

### 【0053】

#### 【発明の実施の形態】

図1は、本発明の第一の実施形態に係るデューティ比検知回路30の構造を示すブロック図である。

### 【0054】

本実施形態に係るデューティ比検知回路30は、図4に示したデューティ比補正回路10における検知回路12に代えて用いることができる回路である。

### 【0055】

本実施形態に係るデューティ比検知回路30は、図5に示した従来の検知回路12と比較して、Pチャネル型トランジスタ26b及び26dの各ゲートが節点Cに接続されており、さらに、Pチャネル型トランジスタ26a及び26cの各ゲートが節点Dに接続されている点において異なっている。この点以外のデューティ比検知回路30の構造は図5に示した従来の検知回路12と同様である。

### 【0056】

節点Cはスイッチ23とデューティ比保持部22の保持容量22Aとの間に位置しており、節点Dはスイッチ23とデューティ比保持部22の保持容量22Bとの間に位置している。

### 【0057】

前述したように、図5に示した従来の検知回路12においては、出力信号t<sub>r</sub>ue16及びbar17がNチャネル型トランジスタ24a、24bのゲートに入力されると、節点Aと節点Bとの間に差電位が生じる。この差電位は検知信号18として検知回路12から出力される。

### 【0058】

検知回路12は、調整回路11が入力信号CLKin14を受信している間ににおいては、常に動作しているため、ある程度の電流を消費する。

### 【0059】

しかしながら、アクセスがなくても、ある程度の期間は、多くのデバイスに省電流状態が存在する。この場合、内部動作が止まるため、出力信号CLKout

15も停止する。このため、検知回路12はデューティ比を保持しておかなければならぬ。

#### 【0060】

このため、本実施形態に係るデューティ比検知回路30においては、入力信号CLKin14及び出力信号CLKout15が停止する前にスイッチ23を閉じて、節点Aと節点Bとの間の差電位をデューティ比保持部22を構成する二つの保持容量22A、22Bで保持するように構成されている。

#### 【0061】

また、本実施形態に係るデューティ比検知回路30が省電流状態から定常状態へ移行する場合には、まず、出力信号CLKout15が発信され、この状態で安定した後にスイッチ23が開き、迅速にデューティ比が補正される。

#### 【0062】

以下、本実施形態に係るデューティ比検知回路30により得られる効果について説明する。

#### 【0063】

省電流状態から定常状態に移行するとき、図5に示した従来の検知回路12の場合には、検知信号18として節点Aと節点Bとの間の差電位を保持しているデューティ比保持部22と電流分配部26のゲート容量との間で容量結合が生じてしまい、差電位を破壊してしまう。

#### 【0064】

検知回路12をトランジスタのサイズで構成する場合には、電流分配部26を構成するPチャネル型トランジスタ26a-26dのゲート容量を小さくし、デューティ比保持部22を構成するNチャネル型トランジスタ22A、22Bのゲート容量を大きくすればよいが、このような構造にすると、定常状態になるまでにかかる時間が長くなってしまう。

#### 【0065】

これに対して、本実施形態に係るデューティ比検知回路30においては、電流分配部26を構成するPチャネル型トランジスタ26a-26dのゲート電位として、デューティ比保持部22において保持されている節点Aと節点Bとの間の

差電位を使用する。このため、スイッチ 23 が開いても、容量結合が生じないため、図 5 に示した従来の検知回路 12 とは異なり、節点 A と節点 B との間の差電位が破壊されることはない。

#### 【0066】

図 2 は、本実施形態に係るデューティ比検知回路 30 の省電流状態時における節点 A 及び B における電位を示す。

#### 【0067】

本実施形態に係るデューティ比検知回路 30 においては、電流分配部 26 を構成する P チャネル型トランジスタ 26a - 26d のゲート電位として、デューティ比保持部 22 において保持されている節点 A と節点 B との間の差電位を使用している。このため、節点 A 及び B における電位は入力信号 CLKin14 及び出力信号 CLKout15 の停止状態に関係なく、電源電圧 Vcc のレベルまで上がっていく。

#### 【0068】

この結果、省電流状態から定常状態に移行する場合、節点 A 及び節点 B との間においてクロスが生じないため、省電流状態から定常状態に移行するまでの復帰時間  $T_\alpha$  が短くなり、迅速な復帰動作が可能となる。

#### 【0069】

図 3 は、本発明の第二の実施形態に係るデューティ比検知回路 40 の構造を示すブロック図である。

#### 【0070】

本実施形態に係るデューティ比検知回路 40 は、図 4 に示したデューティ比補正回路 10 における検知回路 12 に代えて用いることができる回路である。

#### 【0071】

本実施形態に係るデューティ比検知回路 40 は、図 1 に示した第一の実施形態に係るデューティ比検知回路 30 と比較して、デューティ比検知部の構造が異なっている。デューティ比検知部以外のデューティ比検知回路 40 の構造は図 1 に示した第一の実施形態に係るデューティ比検知回路 30 と同様である。

#### 【0072】

本実施形態に係るデューティ比検知回路40におけるデューティ比検知部21aは、一对のPチャネル型トランジスタ24c、24dと、入力側において電源電圧に接続し、出力側においてPチャネル型トランジスタ24c、24dの各ソースと接続している定電流源25aと、2個のNチャネル型トランジスタ26e、26fからなる電流分配部26aと、から構成されている。

#### 【0073】

Pチャネル型トランジスタ24cのドレイン及びNチャネル型トランジスタ26eのドレインは節点Aaに接続されている。

#### 【0074】

Pチャネル型トランジスタ24dのドレイン及びNチャネル型トランジスタ26fのドレインは節点Baに接続されている。

#### 【0075】

ディファレンシャル化回路13から出力される信号True16はPチャネル型トランジスタ24cのゲートに入力され、ディファレンシャル化回路13から出力される信号bar17はPチャネル型トランジスタ24dのゲートに入力される。

#### 【0076】

電流分配部26aを構成しているNチャネル型トランジスタ26e、26fの各ソースは接地されている。また、Nチャネル型トランジスタ26e、26fの一方のゲートは節点Cに接続されており、Nチャネル型トランジスタ26e、26fの他方のゲートは節点Dに接続されている。

#### 【0077】

本実施形態に係るデューティ比検知回路40においては、信号True16がローである期間において、節点Aaにおける電位がチャージされ、信号bar17がローである期間において、節点Baにおける電位がチャージされる。

#### 【0078】

本実施形態に係るデューティ比検知回路40においては、第一の実施形態に係るデューティ比検知回路30と同様に、電流分配部26aを構成するNチャネル型トランジスタ26e、26fのゲート電位として、デューティ比保持部22に

において保持されている節点A aと節点B aとの間の差電位を使用している。このため、図2に示した節点A及びBにおける電位と同様に、節点A a及びB aにおける電位は入力信号CLKin14及び出力信号CLKout15の停止状態に関係なく、電源電圧Vccのレベルまで上がっていく。

#### 【0079】

この結果、省電流状態から定常状態に移行する場合、第一の実施形態に係るデューティ比検知回路30と同様に、節点A a及び節点B aとの間においてクロスが生じないため、省電流状態から定常状態に移行するまでの復帰時間T<sub>α</sub>が短くなり、迅速な復帰動作が可能となる。

#### 【0080】

このように、本実施形態に係るデューティ比検知回路40によっても、第一の実施形態に係るデューティ比検知回路30と同様の効果を得ることができる。

#### 【0081】

##### 【発明の効果】

以上のように、本発明は、省電流状態を持つ半導体装置におけるデューティ比を差電位として検知するデューティ比検知回路において、デューティ比保持部において保持されているデューティ比を用いて、デューティ比検知部の電流分配部を制御するものである。

#### 【0082】

デューティ比検知部における電流分配部を構成する各トランジスタのゲートには、ゲート電位として、スイッチの先に配置されているデューティ比保持部に保持されているデューティ比が入力される。この結果、省電流状態から定常状態に移行する場合節点A及び節点Bとの間においてクロスが生じないため、省電流状態から定常状態に移行するまでの復帰時間が短くなり、迅速な復帰動作が可能となる。

#### 【0083】

また、デューティ比を保持しようとした場合、スイッチを閉じることによって、デューティ比はデューティ比保持部及び電流分配部の各トランジスタのゲートに保持される。再び動作を開始した場合、スイッチが開くことにより、迅速なデ

ューティ比の補正を行うことが可能である。

【図面の簡単な説明】

【図1】

本発明の第一の実施形態に係るデューティ比検知回路のブロック図である。

【図2】

図1に示した第一の実施形態に係るデューティ比検知回路の省電流状態時における節点の電位を示すグラフである。

【図3】

本発明の第二の実施形態に係るデューティ比検知回路のブロック図である。

【図4】

従来のデューティ比補正回路のブロック図である。

【図5】

図4に示した従来のデューティ比補正回路の一構成要素であるデューティ比検知回路のブロック図である。

【図6】

図4に示した従来のデューティ比検知回路の省電流状態時における節点の電位を示すグラフである。

【符号の説明】

3 0 第一の実施形態に係るデューティ比検知回路

2 1 デューティ比検知部

2 2 デューティ比保持部

2 2 A、2 2 B 保持容量

2 3 スイッチ

2 4 a、2 4 b Nチャネル型トランジスタ

2 5 定電流源

2 6 電流分配部

2 6 a、2 6 b、2 6 c、2 6 d Pチャネル型トランジスタ

4 0 第二の実施形態に係るデューティ比検知回路

2 1 a デューティ比検知部

24c、24d Pチャネル型トランジスタ

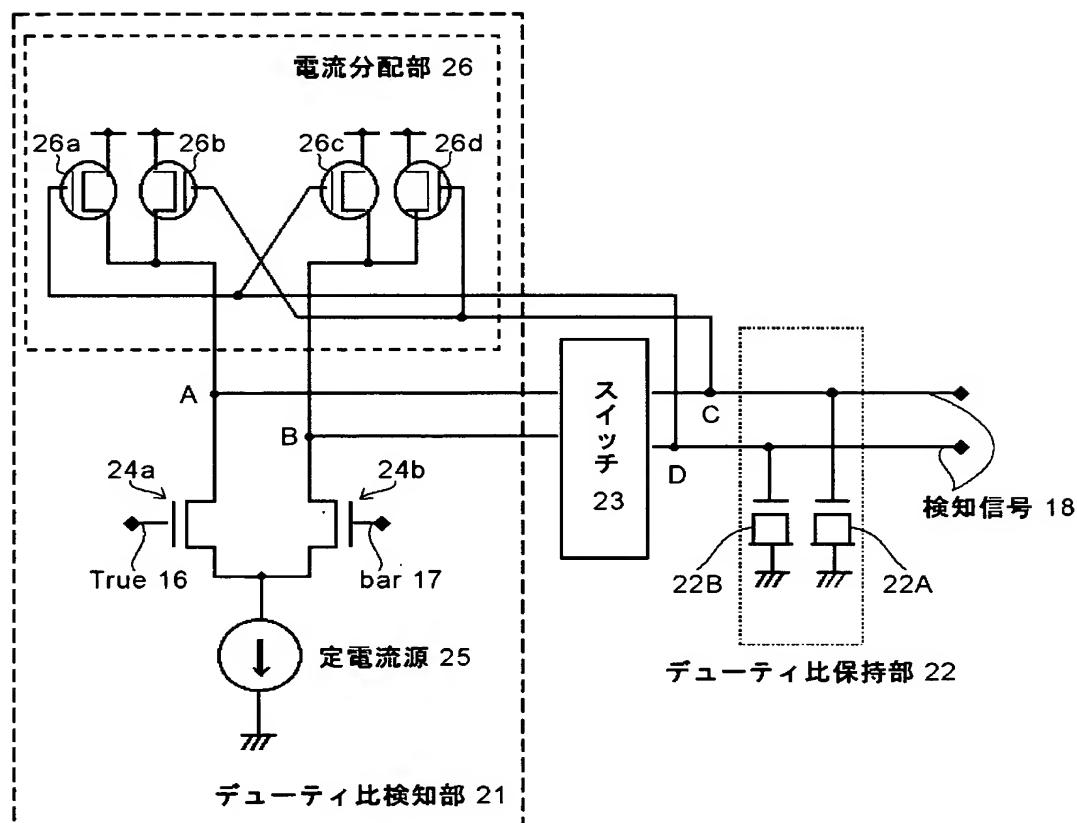
25a 定電流源

26a 電流分配部

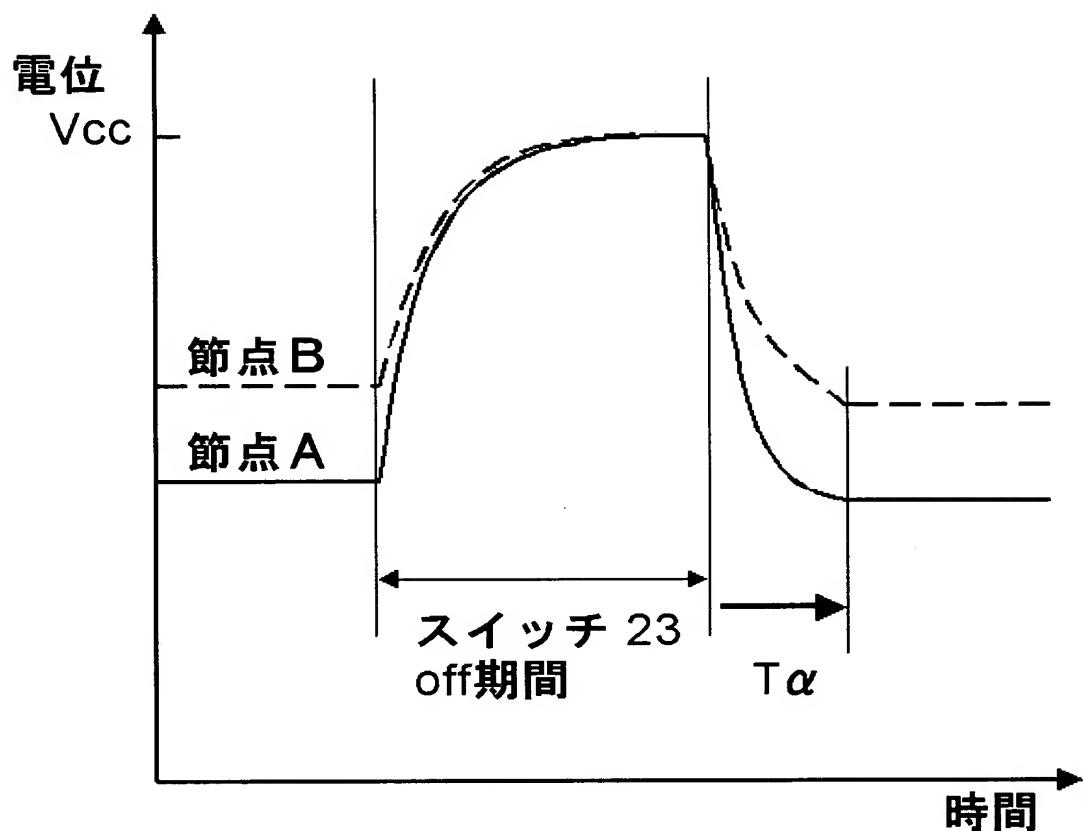
26e、26f Nチャネル型トランジスタ

【書類名】 図面

【図 1】

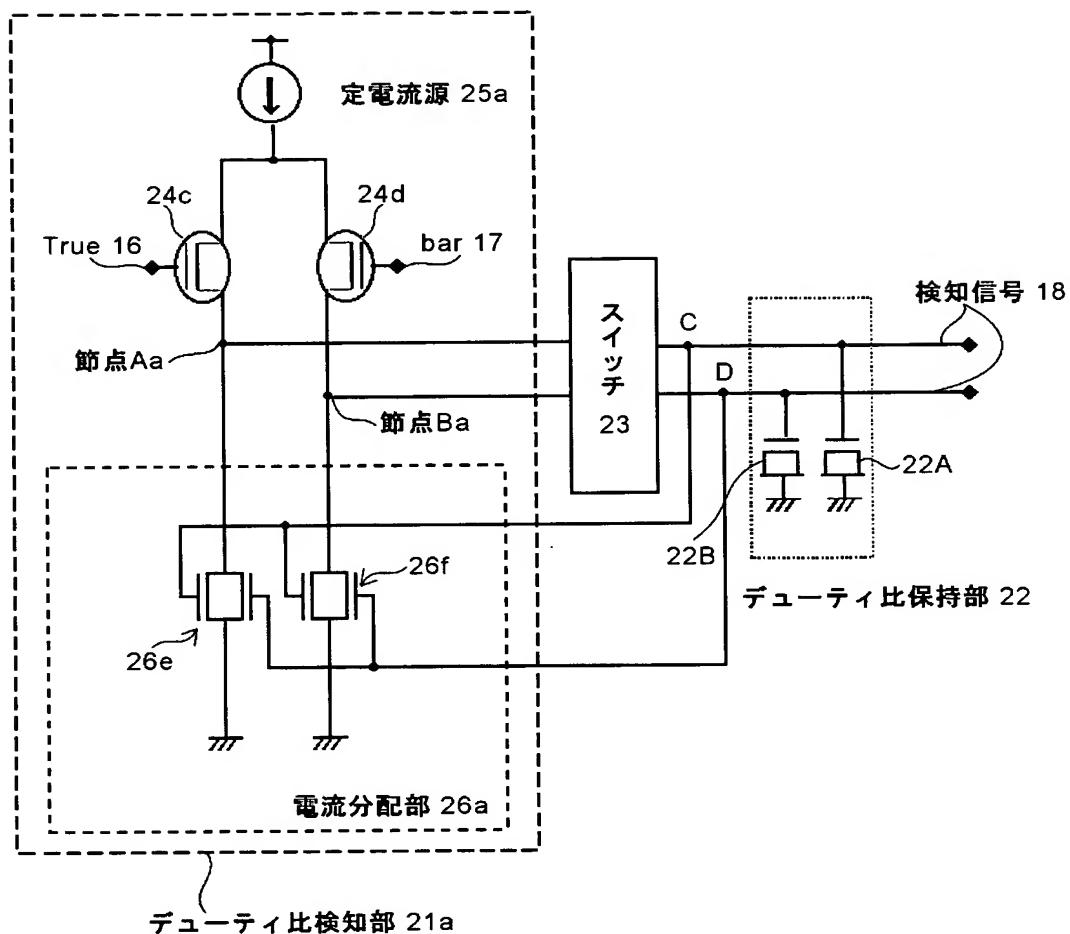
30

【図2】

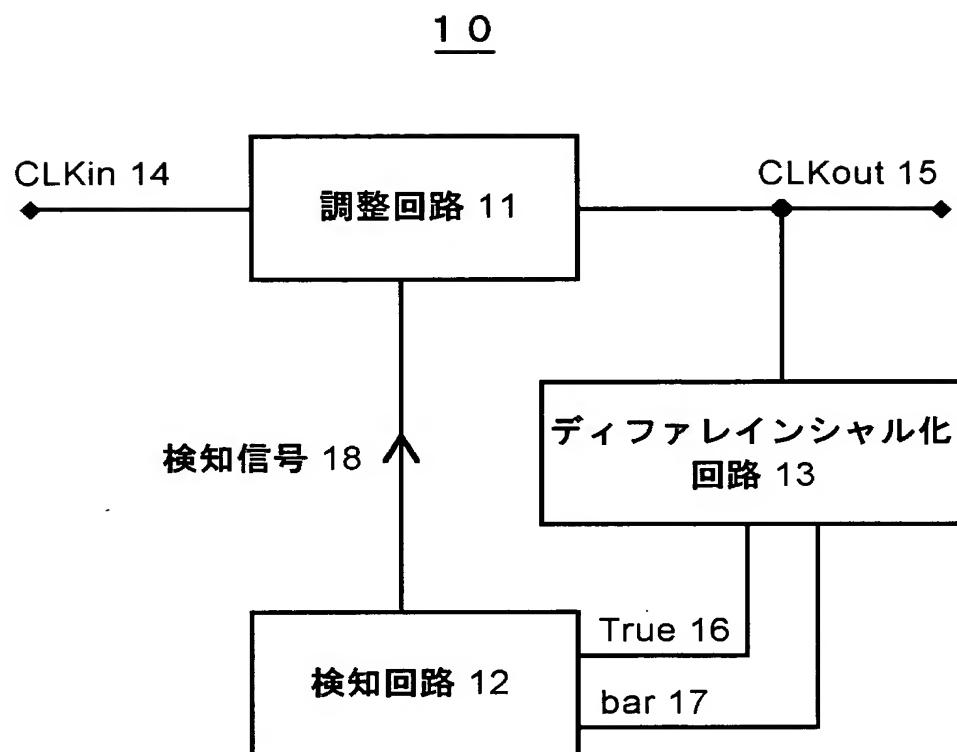


【図3】

40

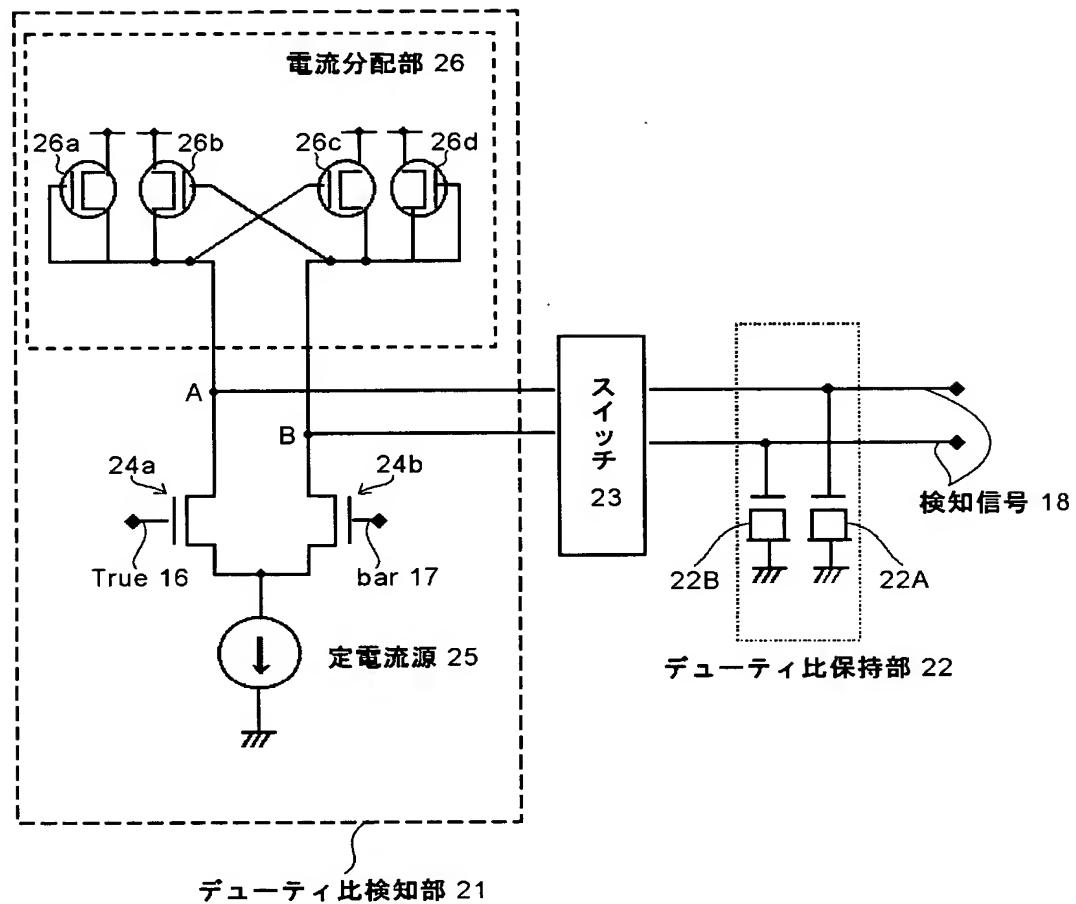


【図4】

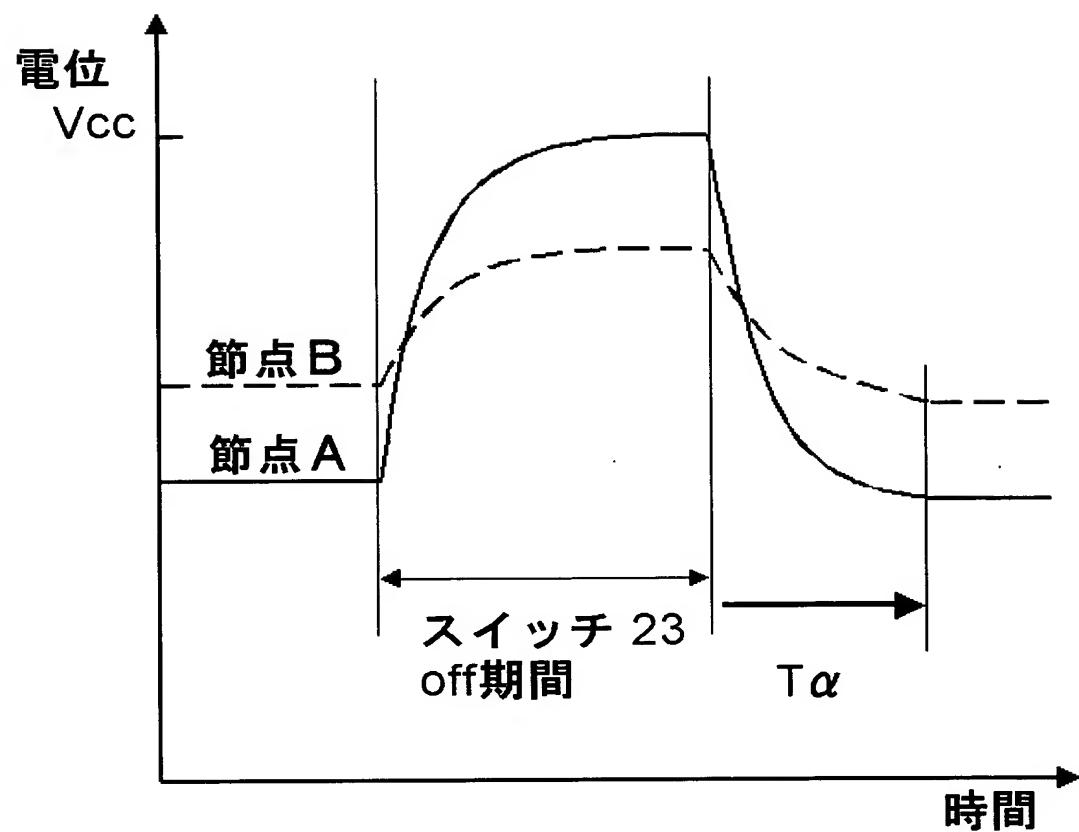


【図5】

12



【図6】



【書類名】 要約書

【要約】

【課題】 迅速にデューティ比を補正し、省電流状態から定常状態への復帰時間を短縮することを可能にするデューティ比検知回路を提供する。

【解決手段】 デューティ比検知回路30は、ゲートを介して二つの入力信号16、17を受信する二つの第一トランジスタ24a、24bと、第一トランジスタのドレインに接続されている定電流源25と、第一トランジスタのソースに接続されている複数個の第二トランジスタ26a-26dからなる電流分配部26と、を備える検出回路21と、検出回路21から出力されるデューティ比を保持する保持回路22と、検出回路21と保持回路22との間に接続されているスイッチ23と、を備える。電流分配部26を構成する第二トランジスタ26a-26dのゲートは節点C、Dに接続されている。

【選択図】 図1

特願 2002-249945

出願人履歴情報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日

[変更理由] 名称変更

住 所 東京都中央区八重洲2-2-1  
氏 名 エルピーダメモリ株式会社